

Family list**5 application(s) for: JP2002333862**

Sorting criteria: Priority Date Inventor Applicant Ecla

1 LIGHT EMISSION DEVICE AND ELECTRONIC EQUIPMENT

Inventor: KOYAMA JUN ; YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** G09G3/20; G09G3/30; H01L29/786; (+11)
Publication JP2002333862 (A) - 2002-11-22 **Priority Date:** 2001-02-21
info: JP4212815 (B2) - 2009-01-21

2 LIGHT EMITTING DEVICE

Inventor: KOYAMA JUN ; YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** G09F9/30; G09G3/20; G09G3/30; (+16)
Publication JP2005228751 (A) - 2005-08-25 **Priority Date:** 2001-02-21
info:

3 Light emitting device and electronic appliance

Inventor: KOYAMA JUN [JP] **Applicant:** KOYAMA JUN, ; SEMICONDUCTOR ENERGY LABORATORY CO., LTD
EC: C09K11/06; G09G3/32A12; (+3) **IPC:** C09K11/06; G09G3/32; H05B33/14; (+8)
Publication US2002180369 (A1) - 2002-12-05 **Priority Date:** 2001-02-21
info: US6753654 (B2) - 2004-06-22

4 Light emitting device and electronic appliance

Inventor: KOYAMA JUN [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [US]
EC: C09K11/06; G09G3/20G6F; (+4) **IPC:** C09K11/06; G09G3/32; H05B33/14; (+8)
Publication US2004222749 (A1) - 2004-11-11 **Priority Date:** 2001-02-21
info: US7336035 (B2) - 2008-02-26

5 LIGHT EMITTING DEVICE AND ELECTRONIC APPLIANCE

Inventor: KOYAMA JUN [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: C09K11/06; G09G3/32A12; (+3) **IPC:** C09K11/06; G09G3/32; H01J7/44; (+9)
Publication US2008197777 (A1) - 2008-08-21 **Priority Date:** 2001-02-21
info: US7719498 (B2) - 2010-05-18

LIGHT EMISSION DEVICE AND ELECTRONIC EQUIPMENT

Publication number: JP2002333862 (A)

Publication date: 2002-11-22

Inventor(s): KOYAMA JUN; YAMAZAKI SHUNPEI +

Applicant(s): SEMICONDUCTOR ENERGY LAB +

Classification:

- international: **G09G3/20; G09G3/30; H01L29/786; H01L51/50; H05B33/14; G09G3/20; G09G3/30; H01L29/66; H01L51/50; H05B33/14; (IPC1-7): G09G3/20; G09G3/30; H01L29/786; H05B33/14**

- European:

Application number: JP20020037621 20020215

Priority number(s): JP20020037621 20020215; JP20010045644 20010221

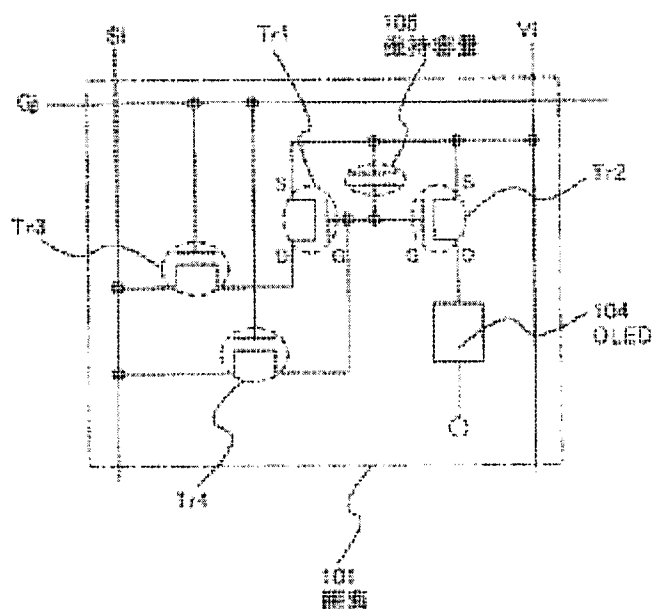
Also published as:

JP4212815 (B2)

Abstract of JP 2002333862 (A)

PROBLEM TO BE SOLVED: To provide a display device capable of obtaining a fixed luminance, without being influenced by the change in temperature, and to provide its drive method.

SOLUTION: A current mirror circuit which is formed by using transistors is provided in each pixel. First and second transistors constituting the current mirror circuit are connected, so that their drain currents are kept at proportional values regardless of the value of a load resistance. Then, this light emission device can control the drive current of an OLED (organic light-emitting diode) and the luminance of the OLED, by making the drain current of the second transistor flow through the OLED, while controlling the drain current of the first transistor to a value corresponding to a video signal in a drive circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-333862
(P2002-333862A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 A 5 F 1 1 0
	6 2 4		6 2 4 B
	6 4 2		6 4 2 C
審査請求 未請求 請求項の数23 O L (全 36 頁) 最終頁に続く			

(21) 出願番号 特願2002-37621(P2002-37621)

(22) 出願日 平成14年2月15日 (2002. 2. 15)

(31) 優先権主張番号 特願2001-45644(P2001-45644)

(32) 優先日 平成13年2月21日 (2001. 2. 21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

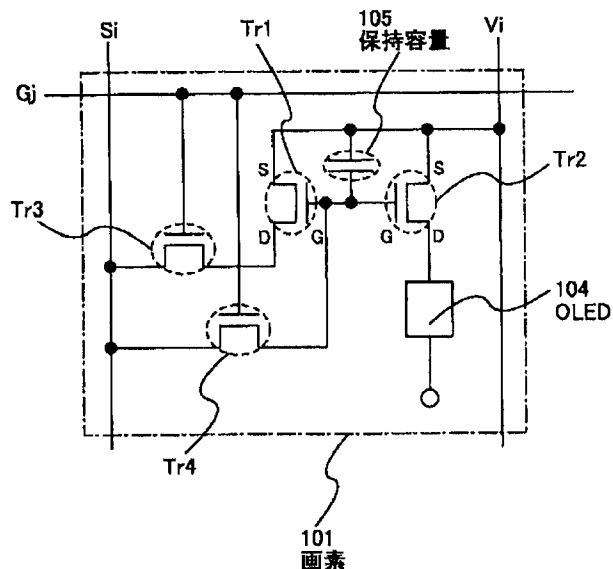
最終頁に続く

(54) 【発明の名称】 発光装置及び電子機器

(57) 【要約】

【課題】 温度変化に左右されずに一定の輝度を得ることができる表示装置及びその駆動方法を提供する。

【解決手段】 トランジスタを用いて形成されたカレントミラー回路を各画素に設ける。該カレントミラー回路が有する第1のトランジスタと第2のトランジスタは、負荷抵抗の値によらず、そのドレイン電流が比例する値に保たれるように接続されている。そして、第1のトランジスタのドレイン電流を、駆動回路においてビデオ信号に見合った値に制御し、第2のトランジスタのドレイン電流をOLEDに流すことで、OLED駆動電流及びOLEDの輝度を制御することができる発光装置。



【特許請求の範囲】

【請求項1】第1のトランジスタと、第2のトランジスタと、OLEDと、電源線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、

1フレーム期間内に、前記第1のトランジスタのゲート電極とドレイン領域が接続されている期間が設けられていることを特徴とする発光装置。

【請求項2】第1のトランジスタと、第2のトランジスタと、OLEDと、電源線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、

1フレーム期間内に、前記第1のトランジスタのゲート電極とドレイン領域が接続されている期間が設けられており、

前記第1のトランジスタのゲート電極とドレイン領域が接続されている前記期間において、前記第1のトランジスタのドレイン電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項3】第1のトランジスタと、第2のトランジスタと、OLEDと、電源線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、

1フレーム期間内に、前記第1のトランジスタのゲート電極とドレイン領域が接続されている期間が設けられており、

前記第1のトランジスタのゲート電極とドレイン領域が接続されている前記期間において、前記第1のトランジスタのドレイン電流の大きさをビデオ信号により制御す

ることで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項4】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、

前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、

前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、

前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、

前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、

前記第1及び第2のトランジスタは飽和領域で動作していることを特徴とする発光装置。

【請求項5】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、

前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、

前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、

前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、

前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、

前記第1及び第2のトランジスタは飽和領域で動作しており、

前記第1のトランジスタのドレイン電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項6】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、

前記第3及び第4のトランジスタのゲート電極は、共に

【請求項7】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、O L E Dと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのドレイン領域に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記O L E Dが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作していることを特徴とする発光装置。

もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
前記第 1 のトランジスタと前記第 2 のトランジスタは、ゲート電極が互いに接続されており、
前記第 1 のトランジスタと前記第 2 のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第 2 のトランジスタのドレイン領域は、前記 O L E D が有する画素電極に接続されており、
前記第 1 及び第 2 のトランジスタは飽和領域で動作しており、
前記第 1 のトランジスタのドレイン電流の大きさを制御することで、前記 O L E D の輝度を制御することを特徴とする発光装置。

【請求項 9】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、OLED と、電源線と、信号線と、走査線とを有する発光装置であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記第 1 のトランジスタのドレイン領域に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 1 のトランジスタと前記第 2 のトランジスタは、ゲート電極が互いに接続されており、

前記第 1 のトランジスタと前記第 2 のトランジスタは、共にソース領域が前記電源線に接続されており、

前記第 2 のトランジスタのドレイン領域は、前記 OLED が有する画素電極に接続されており、

前記第 1 及び第 2 のトランジスタは飽和領域で動作しており、

前記第 1 のトランジスタのドレイン電流の大きさをビデオ信号により制御することで、前記 OLED の輝度を制御することを特徴とする発光装置。

【請求項10】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのゲート電極に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作していることを特徴とする発光装置。

【請求項11】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのゲート電極に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、
前記第1のトランジスタのドレイン電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項12】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのゲート電極に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLED

Dが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、
前記第1のトランジスタのドレイン電流の大きさをビデオ信号により制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項13】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、
1フレーム期間内に、前記第3及び第4のトランジスタがオンになる期間と、前記第3及び第4のトランジスタがオフになる期間とを有し、
前記第3及び第4のトランジスタがオンになる期間において前記信号線に流れる電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項14】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのドレイン領域に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、

前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、

1フレーム期間内に、前記第3及び第4のトランジスタがオンになる期間と、前記第3及び第4のトランジスタがオフになる期間とを有し、
前記第3及び第4のトランジスタがオンになる期間において前記信号線に流れる電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項15】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、OLEDと、電源線と、信号線と、走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記第1のトランジスタのゲート電極に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、

1フレーム期間内に、前記第3及び第4のトランジスタがオンになる期間と、前記第3及び第4のトランジスタがオフになる期間とを有し、
前記第3及び第4のトランジスタがオンになる期間において、前記信号線に流れる電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項16】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、OLEDと、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第4のトランジスタのソース領域とドレイン領域

は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第5のトランジスタのゲート電極は、前記第2走査線に接続されており、
前記第5のトランジスタのソース領域とドレイン領域は、一方は前記電源線に接続されており、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作していることを特徴とする発光装置。

【請求項17】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、OLEDと、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に前記第1走査線に接続されており、
前記第3のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのドレイン領域に接続されており、
前記第4のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1のトランジスタと前記第2のトランジスタは、ゲート電極が互いに接続されており、
前記第1のトランジスタと前記第2のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第2のトランジスタのドレイン領域は、前記OLEDが有する画素電極に接続されており、
前記第5のトランジスタのゲート電極は、前記第2走査線に接続されており、
前記第5のトランジスタのソース領域とドレイン領域は、一方は前記電源線に接続されており、もう一方は前記第1のトランジスタのゲート電極に接続されており、
前記第1及び第2のトランジスタは飽和領域で動作しており、
前記第1のトランジスタのドレイン電流の大きさを制御することで、前記OLEDの輝度を制御することを特徴とする発光装置。

【請求項18】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、OLEDと、電源線と、信号線と、第1走査線と、第2走査線とを有する発光装置であって、
前記第3及び第4のトランジスタのゲート電極は、共に

前記第 1 走査線に接続されており、
前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
前記第 1 のトランジスタと前記第 2 のトランジスタは、ゲート電極が互いに接続されており、
前記第 1 のトランジスタと前記第 2 のトランジスタは、共にソース領域が前記電源線に接続されており、
前記第 2 のトランジスタのドレイン領域は、前記 O L E D が有する画素電極に接続されており、
前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、
前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に接続されており、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
前記第 1 及び第 2 のトランジスタは飽和領域で動作しており、
前記第 1 のトランジスタのドレイン電流の大きさを、ビデオ信号により制御することで、前記 O L E D の輝度を制御することを特徴とする発光装置。

【請求項 1 9】請求項 4 乃至請求項 1 8 のいずれか 1 項において、前記第 3 のトランジスタと前記第 4 のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項 2 0】請求項 1 乃至請求項 1 9 のいずれか 1 項において、前記第 1 のトランジスタと前記第 2 のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項 2 1】複数の T F T と、前記複数の各 T F T と電気的に接続された複数の陰極と、前記複数の陰極間に形成されたバンクと、前記バンク上に形成された金属膜と、前記陰極上に形成された有機発光層と、前記有機発光層、前記バンク及び前記金属膜を覆って形成された陽極と、を有する発光装置であって、
前記バンク及び前記金属膜は前記 T F T と重なっていることを特徴とする発光装置。

【請求項 2 2】複数の T F T と、前記複数の各 T F T と電気的に接続された複数の陰極と、前記複数の陰極間に形成されたバンクと、前記バンク上に形成された金属膜と、前記陰極上に形成された有機発光層と、前記有機発光層、前記バンク及び前記金属膜を覆って形成された透明導電膜と、を有する発光装置であって、
前記バンク及び前記金属膜は前記 T F T と重なっており、
前記透明導電膜はイオンプレーティング法を用いて形成されていることを特徴とする発光装置。

【請求項 2 3】請求項 1 乃至請求項 2 2 のいずれか 1 項において、前記発光装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、基板上に形成された有機 O L E D (O L E D : Organic Light Emitting Device) を、該基板とカバー材の間に封入した O L E D パネルに関する。また、該 O L E D パネルにコントローラを含む I C 等を実装した、O L E D モジュールに関する。なお本明細書において、O L E D パネル及び O L E D モジュールを共に発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0 0 0 2】

【従来の技術】O L E D は自ら発光するため視認性が高く、液晶表示装置 (L C D) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年 O L E D を用いた発光装置は、C R T や L C D に代わる表示装置として注目されている。

【0 0 0 3】O L E D は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0 0 0 4】なお、本明細書では、O L E D の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に O L E D は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0 0 0 5】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、O L E D の輝度の低下であった。

【0 0 0 6】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0 0 0 7】有機発光層にかかる電圧が一定であっても、有機発光層が劣化すると O L E D の輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一対の電極から有機発光層に印加する電圧を O L E D 駆動電圧 (V e 1) と定義する。

【0 0 0 8】また、R (赤)、G (緑)、B (青) に対

応した三種類のOLEDを用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、OLEDの対応する色によって異なる。そのため、OLEDの有機発光層が、対応する色にごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、OLEDの輝度が色ごとに異なってしまう、発光装置に所望の色を有する画像を表示することができなくなる。

【0009】また、有機発光層の温度は、外気温やOLEDパネル自身が発する熱等に左右されるが、一般的にOLEDは温度によって流れる電流の値が変化する。図26に、有機発光層の温度を変化させたときの、OLEDの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、OLED駆動電流は大きくなる。そしてOLED駆動電流とOLEDの輝度は比例関係にあるため、OLED駆動電流が大きければ大きいほど、OLEDの輝度は高くなる。このように、有機発光層の温度によってOLEDの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【0010】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。各色の輝度のバランスが崩れると、所望の色を表示することができない。

【0011】本発明は上述したことに鑑み、有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明者は、OLED駆動電圧を一定に保って発光させるのと、OLEDに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるOLEDの輝度の低下が小さいことに着目した。なお本明細書において、OLEDに流れる電流をOLED駆動電流（ I_e ）と呼ぶ。そして、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐことができるのではないかと考えた。

【0013】具体的に本発明では、トランジスタを用いて形成されたカレントミラー回路を各画素に設ける。そして該カレントミラー回路を用いて、OLED駆動電流を制御する。そして、該カレントミラー回路が有する第1のトランジスタと第2のトランジスタは、負荷抵抗の値によらず、そのドレイン電流がほぼ等しい値に保たれるように接続されている。

【0014】第1のトランジスタは、そのドレイン電流 I_1 が信号線駆動回路において制御されている。第1のトランジスタのドレイン電流 I_1 の大きさは、負荷抵抗の値によらず第2のトランジスタのドレイン電流 I_2

の大きさと常に等しくなるので、結果的に第2のトランジスタのドレイン電流 I_2 は信号線駆動回路において制御されることになる。

【0015】そして、第2のトランジスタは、そのドレイン電流 I_2 がOLEDに流れるように接続される。したがって、OLEDに流れるOLED駆動電流の値は、負荷抵抗の値によらず、信号線駆動回路によって制御される。言い換えると、トランジスタの特性の違いや、OLEDの劣化等に左右されずに、OLED駆動電流を所望の値に制御することが可能になる。

【0016】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色にごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0017】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0018】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0019】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が増加すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるの

で、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0020】なお、本発明の発光装置では、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。

【0021】

【発明の実施の形態】（実施の形態1）図1に本発明のOLEDパネルの構成を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に形成されている。また102は信号線駆動回路、103は走査線駆動回路である。

【0022】なお図1では信号線駆動回路102と走査線駆動回路103が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103とが画素部100と異なる基板上に形成され、FPC等のコネクタを介して、画素部100と接続されていても良い。また、図1では信号線駆動回路102と走査線駆動回路103は1つつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103の数は設計者が任意に設定することができる。

【0023】なお本明細書において接続とは、電気的な接続を意味する。

【0024】また図1では、画素部100に信号線S1～Sx、電源線V1～Vx、走査線G1～Gyが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。またこれらの配線の他に、別の異なる配線が設けられていても良い。

【0025】電源線V1～Vxは所定の電位に保たれている。なお図1ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0026】図2に、図1で示した画素101の詳しい構成を示す。図2に示す画素101は、信号線Si（S1～Sxのうちの1つ）、走査線Gj（G1～Gyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。

【0027】また画素101は、トランジスタTr1（第1電流駆動用トランジスタまたは第1のトランジスタ）、トランジスタTr2（第2電流駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr3（第1スイッチング用トランジスタまたは第3のトランジスタ）、トランジスタTr4（第2スイッチング用トランジスタまたは第4のトランジスタ）、OLED104及び保持容量105を少なくとも有している。

【0028】トランジスタTr3とトランジスタTr4

のゲート電極は、共に走査線Gjに接続されている。

【0029】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。またトランジスタTr4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。

【0030】トランジスタTr1とトランジスタTr2のゲート電極は互いに接続されている。また、トランジスタTr1とトランジスタTr2のソース領域は、共に電源線Viに接続されている。

【0031】トランジスタTr2のドレイン領域は、OLED104が有する画素電極に接続されている。OLED104は陽極と陰極を有しており、本明細書では、陽極を画素電極（第1の電極）として用いる場合は陰極を対向電極（第2の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0032】電源線Viの電位（電源電位）は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0033】なお、トランジスタTr3とトランジスタTr4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0034】また、トランジスタTr1とトランジスタTr2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr1とトランジスタTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びトランジスタTr2をpチャネル型TFTとして用いる。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びトランジスタTr2をnチャネル型TFTとして用いる。

【0035】保持容量105はトランジスタTr1及びトランジスタTr2のゲート電極と電源線Viとの間に形成されている。保持容量105はトランジスタTr1及びトランジスタTr2のゲート電極とソース領域の間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0036】次に、本発明の発光装置の駆動について、図3、図4を用いて説明する。本発明の発光装置の駆動は、書き込み期間Taと表示期間Tdとに分けて説明することができる。図3に、各走査線のタイミングチャートを示す。走査線が選択されている期間、言いかえると該走査線にゲート電極が接続されているTFTが全てオンの状態にある期間は、ONで示す。逆に、走査線が選択されていない期間、言いかえると該走査線にゲート電極が接続されているTFTが全てオフの状態にある期間は、OFFで示す。また図4は、書き込み期間Taと表

示期間 T_d におけるトランジスタ T_{r3} とトランジスタ T_{r4} の接続を、簡単に示した図である。

【0037】書き込み期間 T_a では、図3（A）に示すとおり、走査線 $G_1 \sim G_y$ が順に選択される。そして、信号線駆動回路102に入力されるビデオ信号の電位に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれ一定の電流 I_c が流れる。なお本明細書において電流 I_c を信号電流と呼ぶ。

【0038】図4（A）に、書き込み期間 T_a において、信号線 S_i に一定の電流 I_c が流れた場合の、画素101の概略図を示す。106は対向電極に電位が与えられる電源との接続用の端子を意味している。また、107は信号線駆動回路102が有する定電流源を意味する。

【0039】トランジスタ T_{r3} 及びトランジスタ T_{r4} はオンの状態にあるので、信号線 S_i に一定の電流 I_c が流れると、一定の電流 I_c はトランジスタ T_{r1} のドレイン領域とソース領域の間に流れる。このとき電流 I_c は、トランジスタ T_{r1} が飽和領域で動作するように、定電流源107においてその大きさが制御されている。飽和領域において、 V_{gs} はゲート電極とソース領域間の電位差（ゲート電圧）、 μ をトランジスタの移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_m を閾値、 μ を移動度、トランジスタ T_{r1} のドレイン電流を I_1 とすると、以下の式1が成り立つ。

【0040】

$$\text{【式1】 } I_1 = \mu C_0 W / L (V_{gs} - V_m)^2 / 2$$

【0041】式1において μ 、 C_0 、 W/L 、 V_m は全て個々のトランジスタによって決まる固定の値である。またトランジスタ T_{r1} のドレイン電流 I_1 は、定電流源107によって一定の I_c に保たれている。よって式1からわかるように、トランジスタ T_{r1} のゲート電圧 V_{gs} は電流値 I_c によって定まる。

【0042】トランジスタ T_{r2} のゲート電極は、トランジスタ T_{r1} のゲート電極に接続されている。また、トランジスタ T_{r2} のソース領域は、トランジスタ T_{r1} のソース領域に接続されている。したがって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。従って、トランジスタ T_{r2} のドレイン電流 I_2 はトランジスタ T_{r1} のドレイン電流と同じ大きさに保たれる。つまり、 $I_2 = I_c$ となる。

【0043】トランジスタ T_{r2} のドレイン電流 I_2 はOLED104に流れる。したがって、OLED駆動電流は、定電流源107において定められた一定の電流 I_c と同じ大きさになる。

【0044】OLED104は、OLED駆動電流の大きさに見合った輝度で発光する。OLED駆動電流が0に限りなく近かったり、OLED駆動電流が逆バイアス

の方向に流れたりする場合は、OLED104は発光しない。

【0045】全ての走査線 $G_1 \sim G_y$ の選択が終了し、全てのラインの画素において上記動作が行われると、書き込み期間 T_a が終了する。書き込み期間 T_a が終了すると、表示期間 T_d が開始される。

【0046】図3（B）に、表示期間 T_d において、走査線のタイミングチャートを示す。表示期間 T_d では、全ての走査線 $G_1 \sim G_y$ が選択されていない。

【0047】図4（B）に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r3} 及びトランジスタ T_{r4} のソース領域は電源線 V_i に接続されており、一定の電位（電源電位）に保たれている。

【0048】表示期間 T_d では、トランジスタ T_{r1} のドレイン領域は、他の配線及び電源等から電位が与えられていない、所謂フローティングの状態にある。一方トランジスタ T_{r2} においては、書き込み期間 T_a において定められた V_{gs} がそのまま維持されている。そのため、トランジスタ T_{r2} のドレイン電流 I_2 の値は、 I_c に維持されたままである。よって、表示期間 T_d では、書き込み期間 T_a において定められたOLED駆動電流の大きさに見合った輝度で、OLED104が発光する。

【0049】そしてアナログのビデオ信号を用いた駆動方法（アナログ駆動法）の場合、アナログのビデオ信号によって I_c の大きさが定められ、該 I_c の大きさに見合った輝度でOLED104が発光することで、階調が表示される。この場合、1つの書き込み期間 T_a と1つの表示期間 T_d で1つのフレーム期間が構成され、該フレーム期間において1つの画像が表示される。

【0050】図5に、アナログ駆動法におけるタイミングチャートの一例を示す。1フレーム期間は y 個のライン期間を有しており、各ライン期間において各走査線が選択されている。各ライン期間において、各信号線に一定の電流 I_c （ $I_{c1} \sim I_{cx}$ ）が流れる。図5ではライン期間 L_j （ $j = 1 \sim y$ ）において各信号線に流れる信号電流の値を、 $I_{c1}[L_j] \sim I_{cx}[L_j]$ と表している。

【0051】書き込み期間 T_a と表示期間 T_d の開始されるタイミングは、各ラインごとにずれており、各ラインの書き込み期間の出現するタイミングは重ならない。全ての画素において表示期間 T_d が終了すると、1つの画像が表示される。

【0052】一方デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）の場合、1フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1つの画像を表示することが可能である。 n ビットのビデオ信号によって画像を表示する場合、少

なくとも n 個の書き込み期間と、 n 個の表示期間とが1フレーム期間内に設けられる。 n 個の書き込み期間($T_{a1} \sim T_{an}$)と、 n 個の表示期間($T_{d1} \sim T_{dn}$)は、ビデオ信号の各ビットに対応している。

【0053】図6に1フレーム期間において、 n 個の書き込み期間($T_{a1} \sim T_{an}$)と n 個の表示期間($T_{d1} \sim T_{dn}$)が出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する走査線の位置を示している。

【0054】書き込み期間 T_{am} (m は1～ n の任意の数)の次には、同じビット数に対応する表示期間、この場合 T_{dm} が出現する。書き込み期間 T_a と表示期間 T_d とを合わせてサブフレーム期間 SF と呼ぶ。 m ビット目に対応している書き込み期間 T_{am} と表示期間 T_{dm} とを有するサブフレーム期間は SF_m となる。

【0055】サブフレーム期間 $SF_1 \sim SF_n$ の長さは、 $SF_1 : SF_2 : \dots : SF_n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0056】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。具体的な分割の仕方については、特願2000-267164号において開示されているので、参照すれば良い。

【0057】図6に示した駆動法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0058】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色にごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0059】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が増加するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0060】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示

することができる。

【0061】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0062】(実施の形態2) 本実施の形態では、図1に示した画素101の、図2とは異なる構成について説明する。

【0063】図7に本実施の形態の画素の構成を示す。図7に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、走査線 G_j ($G_1 \sim G_y$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

【0064】また画素101は、トランジスタ Tr_1 (第1電流駆動用トランジスタ)、トランジスタ Tr_2 (第2電流駆動用トランジスタ)、トランジスタ Tr_3 (第1スイッチング用トランジスタ)、トランジスタ Tr_4 (第2スイッチング用トランジスタ)、OLED104及び保持容量105を少なくとも有している。

【0065】トランジスタ Tr_3 とトランジスタ Tr_4 のゲート電極は、共に走査線 G_j に接続されている。

【0066】トランジスタ Tr_3 のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ Tr_1 のドレイン領域に接続されている。また、またトランジスタ Tr_4 のソース領域とドレイン領域は、一方はトランジスタ Tr_1 のドレイン領域に、もう一方はトランジスタ Tr_1 のゲート電極に接続されている。

【0067】トランジスタ Tr_1 とトランジスタ Tr_2 のゲート電極は互いに接続されている。また、トランジスタ Tr_1 とトランジスタ Tr_2 のソース領域は、共に電源線 V_i に接続されている。

【0068】トランジスタ Tr_2 のドレイン領域は、OLED104が有する画素電極に接続されている。電源線 V_i の電位(電源電位)は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0069】なお、トランジスタ Tr_3 とトランジスタ

Tr 4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr 3とトランジスタTr 4の極性は同じである。

【0070】また、トランジスタTr 1とトランジスタTr 2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr 1とトランジスタTr 2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1及びトランジスタTr 2をpチャネル型TFTとして用いることが好ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1及びトランジスタTr 2をnチャネル型TFTとして用いることが好ましい。

【0071】保持容量105はトランジスタTr 1及びトランジスタTr 2のゲート電極と電源線Viとの間に形成されている。保持容量105はトランジスタTr 1及びトランジスタTr 2のゲート電極とソース領域の間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0072】図7に示した画素を有する発光装置の動作は、図2に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図2に示した画素の場合と同じであり、実施の形態1の図3及び図4における説明を参照することができるので、ここでは説明を省略する。

【0073】（実施の形態3）本実施の形態では、図1に示した画素101の、図2、図7とは異なる構成について説明する。

【0074】図8に本実施の形態の画素の構成を示す。図8に示す画素101は、信号線Si（S1～Sxのうちの1つ）、走査線Gj（G1～Gyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。

【0075】また画素101は、トランジスタTr 1（第1電流駆動用トランジスタ）、トランジスタTr 2（第2電流駆動用トランジスタ）、トランジスタTr 3（第1スイッチング用トランジスタ）、トランジスタTr 4（第2スイッチング用トランジスタ）、OLED104及び保持容量105を少なくとも有している。

【0076】トランジスタTr 3とトランジスタTr 4のゲート電極は、共に走査線Gjに接続されている。

【0077】トランジスタTr 3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr 1のゲート電極に接続されている。また、またトランジスタTr 4のソース領域とドレイン領域は、一方はトランジスタTr 1のドレイン領域に、もう一方はトランジスタTr 1のゲート電極に接続されている。

【0078】トランジスタTr 1とトランジスタTr 2のゲート電極は互いに接続されている。また、トランジ

スタTr 1とトランジスタTr 2のソース領域は、共に電源線Viに接続されている。

【0079】トランジスタTr 2のドレイン領域は、OLED104が有する画素電極に接続されている。電源線Viの電位（電源電位）は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0080】なお、トランジスタTr 3とトランジスタTr 4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr 3とトランジスタTr 4の極性は同じである。

【0081】また、トランジスタTr 1とトランジスタTr 2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr 1とトランジスタTr 2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1及びトランジスタTr 2をpチャネル型TFTとして用いることが好ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1及びトランジスタTr 2をnチャネル型TFTとして用いることが好ましい。

【0082】保持容量105はトランジスタTr 1及びトランジスタTr 2のゲート電極と電源線Viとの間に形成されている。保持容量105はトランジスタTr 1及びトランジスタTr 2のゲート電極とソース領域の間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0083】図8に示した画素を有する発光装置の動作は、図2に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図2に示した画素の場合と同じであり、実施の形態1の図3及び図4における説明を参照することができるので、ここでは説明を省略する。

【0084】

【実施例】以下に、本発明の実施例について説明する。

【0085】（実施例1）本発明の発光装置の作成方法の一例について、図9～図13を用いて説明する。ここでは代表的に、図2に示した画素のトランジスタTr 2及びトランジスタTr 4と、画素部の周辺に設けられる駆動部のTFTを同時に作製する方法について、工程に従って詳細に説明する。なおトランジスタTr 1及びトランジスタTr 3も、トランジスタTr 2及びトランジスタTr 4の作製方法に従って作製することが可能である。また、図7、図8及び図30に示した画素も、本実施例で示した作製工程を用いて作製することが可能である。

【0086】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラス

などのガラスからなる基板900を用いる。なお、基板900としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0087】次いで、図9(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜901を形成する。本実施例では下地膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜901の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜901a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$)を形成した。次いで、下地膜901の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)を形成した。

【0088】次いで、下地膜901上に半導体層902~905を形成する。半導体層902~905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層902~905の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902~905を形成した。

【0089】また、半導体層902~905を形成した後、TFETのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0090】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型の

エキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400 mJ/cm^2 (代表的には200~300 mJ/cm^2)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600 mJ/cm^2 (代表的には350~500 mJ/cm^2)とすると良い。そして幅100~1000 μm 、例えば400 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0091】次いで、半導体層902~905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0092】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)と O_2 とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8 W/cm^2 で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0093】そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF_6)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 $\mu\Omega\text{cm}$

m以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0094】一方、耐熱性導電層907にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相のTa膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta₂N膜は α 相に近い結晶構造を持つので、Ta膜の下地にTa₂N膜を形成すれば α 相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に $2 \sim 20 \text{nm}$ 程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層907が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層907は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0095】次に、フォトリソグラフィの技術を使用してレジストによるマスク908を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、 1Pa の圧力で $3.2 \text{W}/\text{cm}^2$ のRF(13.56MHz)電力を投入してプラズマを形成して行う。基板側(試料ステージ)にも $224 \text{mW}/\text{cm}^2$ のRF

(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約 $100 \text{nm}/\text{min}$ である。第1のエッチング処理はこのエッチング速度を基にW膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

【0096】第1のエッチング処理により第1のテーパ形状を有する導電層909 \sim 912が形成される。導電層909 \sim 912のテーパ部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10 \sim 20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(ゲート絶縁膜906)の選択比は2 \sim 4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が

露出した面は $20 \sim 50 \text{nm}$ 程度エッチングされる。

(図9(B))

【0097】そして、第1のドーピング処理を行い一導電型の不純物元素を半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク908をそのまま残し、第1のテーパ形状を有する導電層909 \sim 912をマスクとして自己整合的にn型を付与する不純物元素をイオンドーピング法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜906を通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms}/\text{cm}^2$ とし、加速電圧を $80 \sim 160 \text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドーピング法により第1の不純物領域914 \sim 917には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atomic}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図9(C))

【0098】この工程において、ドーピングの条件によっては、不純物が第1の形状の導電層909 \sim 912の下に回りこみ、第1の不純物領域914 \sim 917が第1の形状の導電層909 \sim 912と重なることも起こりうる。

【0099】次に、図9(D)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力 $3.2 \text{W}/\text{cm}^2$ (13.56MHz)、バイアス電力 $45 \text{mW}/\text{cm}^2$ (13.56MHz)、圧力 1.0Pa でエッチングを行う。この条件で形成される第2の形状を有する導電層918 \sim 921が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30 \sim 60^\circ$ となる。マスク908はエッチングされて端部が削れ、マスク922となる。また、図9(D)の工程において、ゲート絶縁膜906の表面が 40nm 程度エッチングされる。

【0100】そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{keV}$ とし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第1の不純物領域924 \sim 927と、前記第1の不純物領域924 \sim 927に接する第2の不純物領域928 \sim 931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918 \sim 921の下に回りこみ、第2の

不純物領域928～931が第2の形状の導電層918～921と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。(図10(A))

【0101】そして、(図10(B))に示すように、pチャネル型TFTを形成する半導体層902、905に一導電型とは逆の導電型の不純物領域933(933a、933b)及び934(934a、934b)を形成する。この場合も第2の形状の導電層918、921をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層903、904は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933、934はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域933、934のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0102】しかしながら、この不純物領域933、934は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933a、934aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933b、934bのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0103】その後、図10(C)に示すように、第2の形状を有する導電層918～921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は100～200nmとする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSと O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作

製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度0.1～1.0W/cm²で形成することができる。また、第1の層間絶縁膜937として SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

【0104】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板900に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0105】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある $10^{16} \sim 10^{18} \text{ /cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、半導体層902～905中の欠陥密度を 10^{16} /cm^3 以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良い。

【0106】そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0～2.0μmの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0107】このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み

合わせて用いると良い。

【0108】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、まずエッチングガスに CF_4 、 O_2 、 He の混合ガスをを用い有機樹脂材料から成る第2の層間絶縁膜939をエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜906をエッチングすることによりコンタクトホールを形成することができる。

【0109】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターンニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。なお本明細書では、ソース配線とドレイン配線とを併せて接続配線と呼ぶ。図示していないが、本実施例ではこの接続配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜で形成した。

【0110】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターンニングすることによって画素電極947を形成する(図11(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0111】また、画素電極947は、ドレイン配線946と接して重ねて形成することによってトランジスタTr2のドレイン領域と電気的な接続が形成される。

【0112】図12に、図11(A)の工程まで終了した時点での、画素の上面図を示す。なお、配線の位置や半導体層の位置を明確にするために、絶縁膜や層間絶縁膜は省略した。図12のA-A'における断面図が、図11(A)のA-A'に示した部分に相当する。

【0113】図13に、図12のB-B'における断面図を示す。トランジスタTr3は、走査線974の一部であるゲート電極975を有しており、ゲート電極975はトランジスタTr4のゲート電極920とも接続されている。また、トランジスタTr3の半導体層の不純物領域977は、一方は信号線Siとして機能する接続配線942に接続され、もう一方は、接続配線971に接続されている。

【0114】トランジスタTr1は、容量配線973の一部であるゲート電極976を有しており、ゲート電極976はトランジスタTr2のゲート電極921とも接続されている。また、トランジスタTr1の半導体層の不純物領域978は、一方は接続配線971に接続され、もう一方は、電源線Viとして機能する接続配線943に接続されている。

【0115】接続配線943は、トランジスタTr2の不純物領域934aにも接続されている。また、970は保持容量であり、半導体層972と、ゲート絶縁膜906と、容量配線973を有している。半導体層972が有する不純物領域979は、接続配線943に接続されている。

【0116】次に、図11(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜949を形成する。第3の層間絶縁膜949は絶縁性を有していて、バンクとして機能し、隣接する画素の有機発光層を分離する役割を有している。本実施例ではレジストを用いて第3の層間絶縁膜949を形成する。

【0117】本実施例では、第3の層間絶縁膜949の厚さを1 μm 程度とし、開口部は画素電極947に近くなればなるほど広くなる、所謂逆テーパー状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、UV光を照射して露光し、露光された部分を現像液で除去することによって形成される。

【0118】本実施例のように、第3の層間絶縁膜949を逆テーパー状にすることで、後の工程において有機発光層を成膜した時に、隣り合う画素同士で有機発光層が分断されるため、有機発光層と、第3の層間絶縁膜949の熱膨張係数が異なっている、有機発光層がひび割れたり、剥離したりするのを抑えることができる。

【0119】なお、本実施例においては、第3の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)、酸化珪素膜等を用いることもできる。第3の層間絶縁膜949は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

【0120】次に、有機発光層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機発光層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0121】なお、有機発光層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0122】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30～40%分子分散させ

たものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0123】また、保護電極952でも有機発光層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0124】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0125】なお、有機発光層950の膜厚は10~400[nm]（典型的には60~150[nm]）、陰極951の厚さは80~200[nm]（典型的には100~150[nm]）とすれば良い。

【0126】こうして図11（B）に示すような構造の発光装置が完成する。なお、画素電極947、有機発光層950、陰極951の重なっている部分954がOLEDに相当する。

【0127】pチャネル型TFT960及びnチャネル型TFT961は駆動回路が有するTFTであり、CMOSを形成している。トランジスタTr2及びトランジスタTr4は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0128】なお、OLEDを用いた発光装置の場合、駆動回路の電源の電圧が5~6V程度、最大でも10V程度で十分なので、TFTにおいてホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるので、TFTのゲート容量は小さいほうが好ましい。よって、本実施例のように、OLEDを用いた発光装置の駆動回路では、TFTの半導体層が有する第2の不純物領域929と、第4の不純物領域933bとが、それぞれゲート電極918、919と重ならない構成にするのが好ましい。

【0129】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0130】（実施例2）本実施例では、実施例1とは異なる発光装置の作製方法について説明する。

【0131】第2の層間絶縁膜939を形成するまでの工程は、実施例5と同じである。図14（A）に示すように、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜981を形成する。

【0132】パッシベーション膜981は、第2の層間

絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機発光層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜981を設けることは特に有効である。

【0133】本実施例では、パッシベーション膜981として、窒化珪素膜を用いた。

【0134】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、まずエッチングガスに CF_4 、 O_2 の混合ガスを用いてパッシベーション膜981をエッチングし、次にエッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜906をエッチングすることによりコンタクトホールを形成することができる。

【0135】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940~943とドレイン配線944~946を形成する。図示していないが、本実施例ではこの配線を、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜で形成した。

【0136】次いで、その上に透明導電膜を80~120nmの厚さで形成し、パターニングすることによって画素電極947を形成する（図14（A））。なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2~20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0137】また、画素電極947は、ドレイン配線946と接して重ねて形成することによってトランジスタTr2のドレイン領域と電気的な接続が形成される。

【0138】次に、図14（B）に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウェットエッチング法を用いることでテーパー形状の側壁とした。実施例1に示した場合と異なり、第3の層間絶縁膜982上に形成される有機発光層は分断されないため、開口部の側壁が十分になだらかでないと段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0139】なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、B

CB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0140】そして、第3の層間絶縁膜982上に有機発光層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機発光層950に水分が入るのを防ぐことができる。

【0141】次に、有機発光層950を蒸着法により形成し、更に蒸着法により陰極（MgAg電極）951および保護電極952を形成する。このとき有機発光層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0142】なお、有機発光層950としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0143】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1，3，4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0144】また、保護電極952でも有機発光層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0145】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0146】なお、有機発光層950の膜厚は10～400[nm]（典型的には60～150[nm]）、陰極951の厚さは80～200[nm]（典型的には100～150[nm]）とすれば良い。

【0147】こうして図14（B）に示すような構造の発光装置が完成する。なお、画素電極947、有機発光層950、陰極951の重なっている部分954がOLEDに相当する。

【0148】pチャネル型TFT960及びnチャネル

型TFT961は駆動回路が有するTFTであり、CMOSを形成している。トランジスタTr2及びトランジスタTr4は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0149】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0150】（実施例3）本実施例では、図7に示した画素の上面図について説明する。図15に本実施例の画素の上面図を示す。なお、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。さらに、図15は、画素電極を形成した後で、なおかつ有機発光層を形成する前の画素の上面図に相当する。

【0151】図15に示す画素は、走査線211と、信号線210と、電源線217を1つずつ有している。そして、走査線211の一部212、213は、それぞれトランジスタTr3と、トランジスタTr4のゲート電極に相当する。

【0152】トランジスタTr3のソース領域とドレイン領域は、一方は信号線210に接続されており、もう一方は接続配線215を介してトランジスタTr1のドレイン領域に接続されている。また、トランジスタTr4のソース領域とドレイン領域は、一方は接続配線215を介してトランジスタTr1のドレイン領域に接続されており、もう一方は接続配線214を介して容量配線216に接続されている。

【0153】容量配線216の一部218、220は、トランジスタTr1及びトランジスタTr2のゲート電極に相当する。トランジスタTr1のソース領域は電源線217に接続されている。また、トランジスタTr2のソース領域は電源線217に接続されている。そして、トランジスタTr2のドレイン領域は、接続配線221を介して画素電極222に接続されている。

【0154】219は保持用量形成用の活性層であり、保持用量形成用の活性層219上には、ゲート絶縁膜（図示せず）を間に挟んで容量配線216が形成されている。この、保持用量形成用の活性層219と、ゲート絶縁膜と、容量配線216が重なっている部分が、保持容量205に相当する。なお、容量配線216上には、間に層間絶縁膜（図示せず）を挟んで、電源線217が形成されている。この容量配線216と、層間絶縁膜と、電源線217が重なる部分に形成される容量を保持容量205として用いても良い。

【0155】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図7に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実

施例は、実施例1または2と自由に組み合わせて実施することが可能である。

【0156】（実施例4）本実施例では、図8に示した画素の上面図について説明する。図16に本実施例の画素の上面図を示す。なお、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。さらに、図16は、画素電極を形成した後で、なおかつ有機発光層を形成する前の画素の上面図に相当する。

【0157】図16に示す画素は、走査線311と、信号線310と、電源線317を1つつつ有している。そして、走査線311の一部312、313は、それぞれトランジスタTr3と、トランジスタTr4のゲート電極に相当する。

【0158】トランジスタTr3のソース領域とドレイン領域は、一方は信号線310に接続されており、もう一方は接続配線330を介して容量配線316に接続されている。また、トランジスタTr4のソース領域とドレイン領域は、一方は接続配線330を介して容量配線316に接続されており、もう一方は接続配線315を介してトランジスタTr1のドレイン領域に接続されている。

【0159】容量配線316の一部318、320は、トランジスタTr1及びトランジスタTr2のゲート電極に相当する。トランジスタTr1のソース領域は電源線317に接続されている。また、トランジスタTr2のソース領域は電源線317に接続されている。そして、トランジスタTr2のドレイン領域は、接続配線321を介して画素電極322に接続されている。

【0160】319は保持用量形成用の活性層であり、保持用量形成用の活性層319上には、ゲート絶縁膜（図示せず）を間に挟んで容量配線316が形成されている。この、保持用量形成用の活性層319と、ゲート絶縁膜と、容量配線316が重なっている部分が、保持容量305に相当する。なお、容量配線316上には、間に層間絶縁膜（図示せず）を挟んで、電源線317が形成されている。この容量配線316と、層間絶縁膜と、電源線317が重なる部分に形成される容量を保持容量305として用いても良い。

【0161】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図8に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実施例は、実施例1または2と自由に組み合わせて実施することが可能である。

【0162】（実施例5）本実施例では、実施例1とは異なる構成の発光装置について説明する。

【0163】図27に、本実施例の発光装置の画素部の断面図を示す。図27に示す発光装置は、赤色用の画素（R用画素）800r、緑色用の画素（G用画素）800g、青色用の画素（B用画素）800bを有している。なお、本実施例の構成はカラー表示の発光装置だけではなく、モノクロの画像を表示するための発光装置にも用いることが可能である。

0g、青色用の画素（B用画素）800bを有している。なお、本実施例の構成はカラー表示の発光装置だけではなく、モノクロの画像を表示するための発光装置にも用いることが可能である。

【0164】各色の画素には、基板830上にトランジスタTr2が形成されている。なお本発明の発光装置では、各画素にトランジスタTr1、Tr2、Tr3、Tr4が形成されているが、図27では特にトランジスタTr2のみ示す。

【0165】画素電極802r、802g、802b（全てあわせて画素電極802とする）は、ゲート絶縁膜811、第1の層間絶縁膜810、第2の層間絶縁膜807に形成されたコンタクトホールを介して、各トランジスタTr2のドレイン領域809r、809g、809bにそれぞれ接続されている。

【0166】本実施例において画素電極は陰極であり、光は透過しない。本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0167】そして、画素電極802r、802g、802b及び第2の層間絶縁膜807を覆って、画素電極802r、802g、802bと重なる位置に開口部850を有する第3の層間絶縁膜805が形成される。本実施例においては、第3の層間絶縁膜805として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0168】次に第3層間絶縁膜805の開口部において、画素電極802r、802g、802bと接するように有機発光層803r、803g、803b（全てあわせて有機発光層803とする）を形成する。なおこのとき有機発光層803r、803g、803bはメタルマスクを用いて、色毎に順に蒸着法を用いて形成する。そして各有機発光層803r、803g、803bは、蒸着の際、第3の層間絶縁膜805の開口部以外の部分に多少回り込んで成膜されることも予想されるが、なるべく第3の層間絶縁膜805の開口部においてのみ形成されるようにする。

【0169】そして次に、蒸着法を用いて、第3の層間絶縁膜805の開口部以外の部分に、金属を有する導電層806を形成する。導電層806の材料としては、低い抵抗の金属であることが望ましい。また、複数の層の導電層を積層して、1つの導電層として用いても良い。本実施例では銅を用いるが、導電層806の材料はこれに限定されず、対向電極よりも抵抗が低い公知の金属材料ならば用いることが可能である。本実施例では、導電層806を形成することで、後に形成される対向電極の抵抗を低くすることができるので、基板の大型化に適しているといえる。

【0170】次に、有機発光層803r、803g、803b

03b及び導電層806を覆って、透明導電膜からなる対向電極804を形成する。本実施例では、透明導電膜としてITOを用いる。ITOは蒸着法を用いて形成することが可能である。本実施例では特にイオンプレーティング法を用いて形成する場合について説明する。

【0171】イオンプレーティング法は、蒸着法に分類される気相表面処理技術の1つであり、何らかの方法で蒸発させた蒸着物質を、高周波プラズマあるいは真空放電でイオン化または励起させ、蒸着させる基板に負電位を与えることで該イオンを加速し、基板に付着させる方法である。

【0172】イオンプレーティング法を用いて対向電極を形成する際の具体的な条件として、0.01~1Paの不活性ガス雰囲気下において、基板温度を100~300℃に保って蒸着させることが望ましい。そして70%以上の焼結密度を有する蒸発源としてのITOを用いることが望ましい。なお、イオンプレーティング法を用いる際の最適な条件は、実施者が適宜選択することができる。

【0173】また高周波プラズマを用いて蒸着物質をイオン化または励起することで、より蒸着物質のイオン化する率または励起する率を高めることができ、なおかつイオン化または励起された蒸着物質が高いエネルギー状態にあるので、速い蒸発速度を有したままで酸素との結合を十分に行うことができる。このため、高速度で良質な膜の形成が可能である。

【0174】本実施例では上記イオンプレーティング法を用い、透明導電膜からなる対向電極804を80~120nmの厚さで形成した。本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2~20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0175】なお本実施例の対向電極の形成方法は、上述したイオンプレーティング法に限定されない。ただし、イオンプレーティング法を用いて形成された膜は密着性が高く、また比較的低い温度でも結晶性の高いITO膜を成膜することができるので、ITOの抵抗を低くすることができ、さらに比較的広い面積における均一な成膜が可能であり、基板の大型化に適しているといえる。

【0176】そして各画素において、R用OLED801r、G用OLED801g、B用OLED801bが完成する。各OLEDは、画素電極802r、802g、802bと、有機発光層803r、803g、803bと、対向電極804とをそれぞれ有している。

【0177】図28に、本実施例のTFTが形成された基板（素子基板）の上面図を示す。基板830に、画素部831、走査線駆動回路832、信号線駆動回路833、端子834が形成された状態を示している。端子834と各駆動回路、画素部に形成されている電源線及び

対向電極は、引き回し配線835で接続されている。

【0178】また、必要に応じてCPU、メモリなどを形成したICチップがCOG（Chip on Glass）法などにより素子基板に実装されていても良い。

【0179】OLEDは導電層806の間に形成され、その構造は図29に示されている。画素電極802は各画素に対応する電極であり、導電層806の間に形成されている。その上層には有機化合物層803が導電層806の間に形成され、複数の画素電極802に渡ってストライプ状に連続的に形成されている。

【0180】対向電極804は、有機化合物層803及び導電層806の上層に形成され、かつ同様に導電層806と接するように形成されている。

【0181】引き回し配線835は走査線（図示せず）と同じ層に形成されており、導電層806とは直接接触していない。そして引き回し配線835と対向電極804は重なっている部分においてコンタクトを取っている。

【0182】本実施例の構成は、実施例3または4と自由に組み合わせて実施することが可能である。

【0183】（実施例6）本実施例では、本発明のデジタル駆動法で駆動する発光装置が有する駆動回路（信号線駆動回路及び走査線駆動回路）の構成について説明する。

【0184】図17に信号線駆動回路601の構成をブロック図で示す。602はシフトレジスタ、603は記憶回路A、604は記憶回路B、605は定電流回路である。

【0185】シフトレジスタ602にはクロック信号CLKと、スタートパルス信号SPが入力されている。また記憶回路A603にはデジタルビデオ信号（Digital Video Signals）が入力されており、記憶回路B604にはラッチ信号（Latch Signals）が入力されている。定電流回路604から出力される一定の信号電流Icは信号線へ入力される。

【0186】図18に信号線駆動回路601のより詳しい構成を示す。

【0187】シフトレジスタ602に所定の配線からクロック信号CLKとスタートパルス信号SPとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路A603が有する複数のラッチA（LATA__1~LATA__x）にそれぞれ入力される。なおこのときシフトレジスタ602において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路A603が有する複数のラッチA（LATA__1~LATA__x）にそれぞれ入力するような構成にしても良い。

【0188】記憶回路A603にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線

610に入力される1ビット分のデジタルビデオ信号が、順に複数のラッチA (LATA__1~LATA__x) のそれぞれに書き込まれ、保持される。

【0189】なお、本実施例では記憶回路A603にデジタルビデオ信号を取り込む際に、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路A603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動と言う。

【0190】記憶回路A603の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0191】1ライン期間が終了すると、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に、ラッチ信号線609を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に一斉に書き込まれ、保持される。

【0192】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0193】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0194】定電流回路605は複数の電流設定回路 (C1~Cx) を有している。電流設定回路 (C1~Cx) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、信号線に一定の電流Icが流れるか、または信号線に電源線V1~Vxの電位が与えられるか、いずれか一方が選択される。

【0195】図19に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0196】電流設定回路C1は定電流源631と、4つのトランスミッションゲートSW1~SW4と、2つのインバータInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同一である。

【0197】記憶回路B604が有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0198】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IcがSW1及びSW3を介して信号線S1に入力される。

【0199】逆にSW2及びSW4がオンのときは、定電流源631からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源線V1~Vxの電源電位が信号線S1に与えられ、Ic≒0となる。

【0200】再び図18を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路 (C1~Cx) において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流Icの値が選択される。

【0201】次に、走査線駆動回路の構成について説明する。

【0202】図20は走査線駆動回路641の構成を示すブロック図である。

【0203】走査線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0204】走査線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、対応する走査線に供給される。

【0205】走査線には、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTを一斉にONにしなくてはならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0206】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図19に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0207】本実施例の構成は、実施例1~5と自由に組み合わせて実施することが可能である。

（実施例7）本実施例では、 n ビットのデジタルビデオ信号に対応した本発明の発光装置の駆動法において、サブフレーム期間 $SF1 \sim SFn$ の出現する順序について説明する。

【0208】図21に1フレーム期間において、 n 個の書き込み期間（ $Ta1 \sim Tan$ ）と n 個の表示期間（ $Td1 \sim Tdn$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する走査線の位置を示している。各画素の詳しい動作については実施の形態を参照すれば良いので、ここでは省略する。

【0209】本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間（本実施例では SFn ）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成にしている。

【0210】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0211】なお本実施例の構成は $n \geq 3$ の場合において有効である。また、本実施例は実施例1～実施例6と自由に組み合わせて実施することが可能である。

【0212】（実施例8）本実施例では、本発明の発光装置を6ビットのデジタルビデオ信号を用いて駆動させる例について説明する。

【0213】図22に、1フレーム期間において、6個の書き込み期間（ $Ta1 \sim Ta6$ ）と6個の表示期間（ $Td1 \sim Td6$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する走査線の位置を示している。各画素の詳しい動作については実施の形態を参照すれば良いので、ここでは省略する。

【0214】6ビットのデジタルビデオ信号を用いた駆動する場合、1フレーム期間内に少なくとも6つのサブフレーム期間 $SF1 \sim SF6$ が設けられる。

【0215】サブフレーム期間 $SF1 \sim SF6$ は、6ビットのデジタル信号の各ビットに対応している。そしてサブフレーム期間 $SF1 \sim SF6$ は、6個の書き込み期間（ $Ta1 \sim Ta6$ ）と、6個の表示期間（ $Td1 \sim Td6$ ）とを有している。

【0216】 m （ m は1～6の任意の数）ビット目に対応している書き込み期間 Tam と表示期間 Tdm とを有するサブフレーム期間は SFm となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0217】1フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返し出現することで、1つの画像を表示することが可能である。

【0218】表示期間 $SF1 \sim SF6$ の長さは、 SF

$1 : SF2 : \dots : SF6 = 2^0 : 2^1 : \dots : 2^5$ を満たす。

【0219】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0220】なお本実施例の構成は、実施例1～7と自由に組み合わせて実施することが可能である。

【0221】（実施例9）本実施例では、 n ビットのデジタルビデオ信号を用いた、図6、図21とは異なる駆動方法の一例について説明する。

【0222】図23に、1フレーム期間において、 $n+1$ 個の書き込み期間（ $Ta1 \sim Ta(n+1)$ ）と $n+1$ 個の表示期間（ $Td1 \sim Td(n+1)$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する走査線の位置を示している。各画素の詳しい動作については実施の形態を参照すれば良いので、ここでは省略する。

【0223】本実施例では n ビットのデジタルビデオ信号に対応して、1フレーム期間内に $n+1$ のサブフレーム期間 $SF1 \sim SFn+1$ が設けられる。そしてサブフレーム期間 $SF1 \sim SFn+1$ は、 $n+1$ 個の書き込み期間（ $Ta1 \sim Ta(n+1)$ ）と、 $n+1$ 個の表示期間（ $Td1 \sim Td(n+1)$ ）とを有している。

【0224】書き込み期間 Tam （ m は1～ $n+1$ の任意の数）と表示期間 Tdm とを有するサブフレーム期間は SFm となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0225】サブフレーム期間 $SF1 \sim SFn-1$ は、1～（ $n-1$ ）ビットのデジタル信号の各ビットに対応している。サブフレーム期間 SFn 及び $SF(n+1)$ は n ビット目のデジタルビデオ信号に対応している。

【0226】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SFn と $SF(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SFn と $SF(n+1)$ の間に、他のサブフレーム期間が設けられている。

【0227】1フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返し出現することで、1つの画像を表示することが可能である。

【0228】表示期間 $SF1 \sim SFn+1$ の長さは、 $SF1 : SF2 : \dots : (SFn + SF(n+1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0229】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0230】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示む

らを、図6及び図21の場合に比べて人間の目に認識されずらくすることができる。

【0231】なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられていても良い。

【0232】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0233】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例1～8と自由に組み合わせて実施することが可能である。

【0234】（実施例10）本実施例では、アナログ駆動法で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、実施例6において示した構成を用いることができるので、ここでは説明を省略する。

【0235】図31（A）に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0236】シフトレジスタ402には、クロック信号（CLK）、スタートパルス信号（SP）が入力されている。シフトレジスタ402にクロック信号（CLK）とスタートパルス信号（SP）が入力されると、タイミング信号が生成される。

【0237】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0238】図31（B）にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0239】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図31

（B）では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電

流変換回路だけを示しているが、各スイッチ411の後段に、図31（B）に示したような電流変換回路405が接続されているものとする。

【0240】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0241】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流（信号電流）を出力する。なお図31ではアンプ及びTFTを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0242】該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路417は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0243】アナログスイッチ414にはリセット信号（Res）が入力されており、アナログスイッチ413には、インバーター416によって反転されたリセット信号（Res）が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0244】そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電位が信号線に与えられ、信号線がリセットされる。なお、電源415の電位は、画素に設けられた電源線の電位とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0245】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0246】なお、本発明の発光装置を駆動する信号線駆動回路及び走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例1～実施例9に示した構成と自由に組み合わせて実施することが可能である。

【0247】（実施例11）本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0248】ここで、三重項励起子を利用し、外部発光

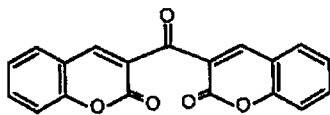
量子効率を向上させた報告を示す。

(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0249】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0250】

【化1】

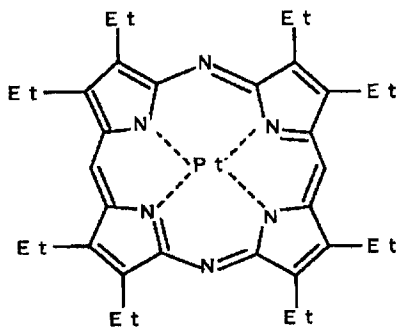


【0251】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0252】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0253】

【化2】

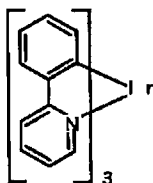


【0254】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0255】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0256】

【化3】



【0257】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0258】なお、本実施例の構成は、実施例1~実施例10のいずれの構成とも自由に組み合わせて実施する

ことが可能である。

【0259】(実施例12)本実施例では、本発明を用いて発光装置を作製した例について、図24を用いて説明する。

【0260】図24は、TFTが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図24(B)は、図24

(A)のA-A'における断面図、図24(C)は図24(A)のB-B'における断面図である。

【0261】基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0262】また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、複数のTFTを有している。図24(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる電流制御用TFT(トランジスタTr2)4202を図示した。

【0263】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、電流制御用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0264】駆動TFT4201及び電流制御用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に電流制御用TFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0265】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形

成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0266】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0267】有機発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0268】以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0269】4005aは電源供給線に接続された引き回し配線であり、電流制御用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0270】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0271】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0272】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または

熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0273】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

【0274】図24（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0275】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0276】本実施例の構成は、実施例1～実施例11に示した構成と自由に組み合わせて実施することが可能である。

【0277】（実施例13）本実施例では、本発明の発光装置の画素の構成の、図2、図7及び図8とは異なる例について説明する。

【0278】図30（A）に、本実施例の画素の構成を示す。図30（A）に示す画素701は、信号線Si（S1～Sxのうちの1つ）、第1走査線Gaj（Ga1～Gayのうちの1つ）、第2走査線Gbj（Gb1～Gbyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。なお、画素部に設けられる第1走査線と第2走査線の数必ずしも同じ数であるとは限らない。

【0279】また画素701は、トランジスタTr1（第1電流駆動用トランジスタまたは第1のトランジスタ）、トランジスタTr2（第2電流駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr3（第1スイッチング用トランジスタまたは第3のトランジスタ）、トランジスタTr4（第2スイッチング用トランジスタまたは第4のトランジスタ）、トランジスタTr5（消去用トランジスタまたは第5のトランジスタ）

タ)、OLED704及び保持容量705を少なくとも有している。

【0280】トランジスタTr3とトランジスタTr4のゲート電極は、共に第1走査線Gajに接続されている。

【0281】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。またトランジスタTr4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。

【0282】トランジスタTr1とトランジスタTr2のゲート電極は互いに接続されている。また、トランジスタTr1とトランジスタTr2のソース領域は、共に電源線Viに接続されている。

【0283】トランジスタTr2のドレイン領域は、OLED704が有する画素電極に接続されている。

【0284】トランジスタTr5のゲート電極は、第2走査線Gbjに接続されている。また、トランジスタTr5のソース領域とドレイン領域は、一方は電源線Viに接続されており、もう一方は、トランジスタTr1及びトランジスタTr2のゲート電極に接続されている。

【0285】電源線Viの電位(電源電位)は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0286】なお、トランジスタTr3とトランジスタTr4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0287】また、トランジスタTr1とトランジスタTr2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr1とトランジスタTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びトランジスタTr2をpチャネル型TFTとして用いる。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びトランジスタTr2をnチャネル型TFTとして用いる。

【0288】また、トランジスタTr5は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0289】保持容量705はトランジスタTr1及びトランジスタTr2のゲート電極と電源線Viとの間に形成されている。保持容量705はトランジスタTr1及びトランジスタTr2のゲート電極とソース領域の間の電圧(ゲート電圧)をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0290】図30(B)に本実施例の画素の別の構成を示す。図30(B)に示す画素711は、信号線Si(S1~Sxのうちの1つ)、第1走査線Gaj(Ga

1~Gayのうちの1つ)、第2走査線Gbj(Gb1~Gbyのうちの1つ)及び電源線Vi(V1~Vxのうちの1つ)を有している。

【0291】また画素711は、トランジスタTr1(第1電流駆動用トランジスタ)、トランジスタTr2(第2電流駆動用トランジスタ)、トランジスタTr3(第1スイッチング用トランジスタ)、トランジスタTr4(第2スイッチング用トランジスタ)、トランジスタTr5(消去用トランジスタまたは第5のトランジスタ)、OLED714及び保持容量715を少なくとも有している。

【0292】トランジスタTr3とトランジスタTr4のゲート電極は、共に第1走査線Gajに接続されている。

【0293】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。また、またトランジスタTr4のソース領域とドレイン領域は、一方はトランジスタTr1のドレイン領域に、もう一方はトランジスタTr1のゲート電極に接続されている。

【0294】トランジスタTr1とトランジスタTr2のゲート電極は互いに接続されている。また、トランジスタTr1とトランジスタTr2のソース領域は、共に電源線Viに接続されている。

【0295】トランジスタTr2のドレイン領域は、OLED714が有する画素電極に接続されている。電源線Viの電位(電源電位)は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0296】トランジスタTr5のゲート電極は、第2走査線Gbjに接続されている。また、トランジスタTr5のソース領域とドレイン領域は、一方は電源線Viに接続されており、もう一方は、トランジスタTr1及びトランジスタTr2のゲート電極に接続されている。

【0297】なお、トランジスタTr3とトランジスタTr4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0298】また、トランジスタTr1とトランジスタTr2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr1とトランジスタTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びトランジスタTr2をpチャネル型TFTとして用いることが好ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びトランジスタTr2をnチャネル型TFTとして用いることが好ましい。

【0299】また、トランジスタTr5は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0300】保持容量715はトランジスタTr1及びトランジスタTr2のゲート電極と電源線Viとの間に形成されている。保持容量715はトランジスタTr1及びトランジスタTr2のゲート電極とソース領域の間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0301】図30（C）に本実施例の画素の別の構成を示す。図30（C）に示す画素721は、信号線Si（S1～Sxのうちの1つ）、第1走査線Gaj（Ga1～Gayのうちの1つ）、第2走査線Gbj（Gb1～Gbyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。

【0302】また画素721は、トランジスタTr1（第1電流駆動用トランジスタ）、トランジスタTr2（第2電流駆動用トランジスタ）、トランジスタTr3（第1スイッチング用トランジスタ）、トランジスタTr4（第2スイッチング用トランジスタ）、トランジスタTr5（消去用トランジスタまたは第5のトランジスタ）、OLED724及び保持容量725を少なくとも有している。

【0303】トランジスタTr3とトランジスタTr4のゲート電極は、共に第1走査線Gajに接続されている。

【0304】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。また、またトランジスタTr4のソース領域とドレイン領域は、一方はトランジスタTr1のドレイン領域に、もう一方はトランジスタTr1のゲート電極に接続されている。

【0305】トランジスタTr1とトランジスタTr2のゲート電極は互いに接続されている。また、トランジスタTr1とトランジスタTr2のソース領域は、共に電源線Viに接続されている。

【0306】トランジスタTr2のドレイン領域は、OLED724が有する画素電極に接続されている。電源線Viの電位（電源電位）は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0307】トランジスタTr5のゲート電極は、第2走査線Gbjに接続されている。また、トランジスタTr5のソース領域とドレイン領域は、一方は電源線Viに接続されており、もう一方は、トランジスタTr1及びトランジスタTr2のゲート電極に接続されている。

【0308】なお、トランジスタTr3とトランジスタTr4は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0309】また、トランジスタTr1とトランジスタTr2はnチャネル型TFTとpチャネル型TFTのどちらでも良い。ただし、トランジスタTr1とトランジ

スタTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びトランジスタTr2をpチャネル型TFTとして用いることが好ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びトランジスタTr2をnチャネル型TFTとして用いることが好ましい。

【0310】また、トランジスタTr5は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0311】保持容量725はトランジスタTr1及びトランジスタTr2のゲート電極と電源線Viとの間に形成されている。保持容量725はトランジスタTr1及びトランジスタTr2のゲート電極とソース領域の間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0312】なお、図30（A）、（B）、（C）に示した画素を有する発光装置の駆動法は、デジタル駆動法に限られる。そして図30（A）、（B）、（C）に示した画素において、OLED704、714、724が発光しているときに、第2走査線Gbjの電位を制御してトランジスタTr5をオンにすることで、OLED704、714、724を非発光の状態にすることができる。よって、画素へのデジタルビデオ信号の入力と並行して、各画素の表示期間を強制的に終了させることができるので表示期間を書き込み期間よりも短くすることが可能であり、高いビット数のデジタルビデオ信号を用いて駆動させるのに適している。

【0313】本実施例の構成は、実施例1、2、5、6、7、8、9、11、12に示した構成と自由に組み合わせることで実施することが可能である。

【0314】（実施例14）OLEDを用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0315】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図25に示す。

【0316】図25（A）はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。

本発明の発光装置は表示部２００３に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、ＯＬＥＤ表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０３１７】図２５（Ｂ）はデジタルスチルカメラであり、本体２１０１、表示部２１０２、受像部２１０３、操作キー２１０４、外部接続ポート２１０５、シャッター２１０６等を含む。本発明の発光装置は表示部２１０２に用いることができる。

【０３１８】図２５（Ｃ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス２２０６等を含む。本発明の発光装置は表示部２２０３に用いることができる。

【０３１９】図２５（Ｄ）はモバイルコンピュータであり、本体２３０１、表示部２３０２、スイッチ２３０３、操作キー２３０４、赤外線ポート２３０５等を含む。本発明の発光装置は表示部２３０２に用いることができる。

【０３２０】図２５（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読み込み部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示するが、本発明の発光装置はこれら表示部Ａ、Ｂ２４０３、２４０４に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０３２１】図２５（Ｆ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２５０１、表示部２５０２、アーム部２５０３を含む。本発明の発光装置は表示部２５０２に用いることができる。

【０３２２】図２５（Ｇ）はビデオカメラであり、本体２６０１、表示部２６０２、筐体２６０３、外部接続ポート２６０４、リモコン受信部２６０５、受像部２６０６、バッテリー２６０７、音声入力部２６０８、操作キー２６０９等を含む。本発明の発光装置は表示部２６０２に用いることができる。

【０３２３】ここで図２５（Ｈ）は携帯電話であり、本体２７０１、筐体２７０２、表示部２７０３、音声入力部２７０４、音声出力部２７０５、操作キー２７０６、外部接続ポート２７０７、アンテナ２７０８等を含む。本発明の発光装置は表示部２７０３に用いることができる。なお、表示部２７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【０３２４】なお、将来的に有機発光材料の発光輝度が

高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０３２５】また、上記電子機器はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【０３２６】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０３２７】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～１３に示したいずれの構成の発光装置を用いても良い。

【０３２８】

【発明の効果】

【０３２９】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なる有機発光材料を有するＯＬＥＤを設けた場合でも、温度によって各色のＯＬＥＤの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図１】 本発明の発光装置の上面ブロック図。

【図２】 本発明の発光装置の画素の回路図。

【図３】 走査線に入力される信号のタイミングチャート。

【図４】 駆動における画素の概略図。

【図５】 アナログ駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図６】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図７】 本発明の発光装置の画素の回路図。

【図８】 本発明の発光装置の画素の回路図。

【図９】 本発明の発光装置の作製方法を示す図。

【図１０】 本発明の発光装置の作製方法を示す図。

【図１１】 本発明の発光装置の作製方法を示す図。

【図１２】 本発明の発光装置の画素の上面図。

【図１３】 本発明の発光装置の画素の断面図。

【図１４】 本発明の発光装置の作製方法を示す図。

【図１５】 本発明の発光装置の画素の上面図。

【図１６】 本発明の発光装置の画素の上面図。

【図１７】 信号線駆動回路のブロック図。

【図１８】 デジタル駆動法における信号線駆動回路の

詳細図。

【図 19】 デジタル駆動法における電流設定回路の回路図。

【図 20】 走査線駆動回路のブロック図。

【図 21】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図 22】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図 23】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図 24】 本発明の発光装置の外観図及び断面図。

【図 25】 本発明の発光装置を用いた電子機器の図。

【図 26】 O L E D の電圧電流特性を示す図。

【図 27】 本発明の発光装置の画素の断面図。

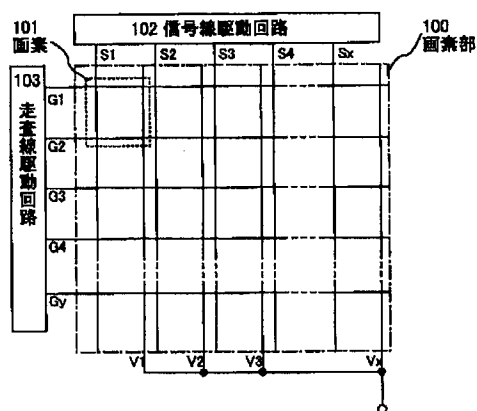
【図 28】 本発明の発光装置の素子基板の上面図。

【図 29】 本発明の発光装置の素子基板の拡大図。

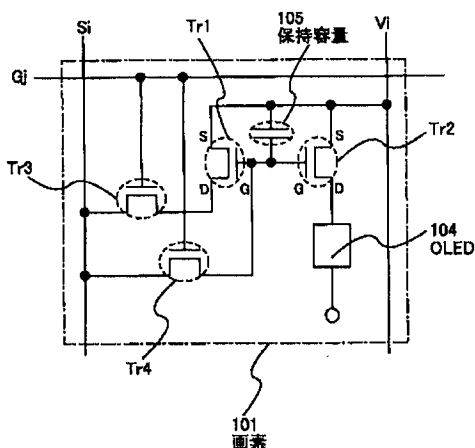
【図 30】 本発明の発光装置の画素の回路図。

【図 31】 デジタル駆動法における信号線駆動回路の詳細図。

【図 1】



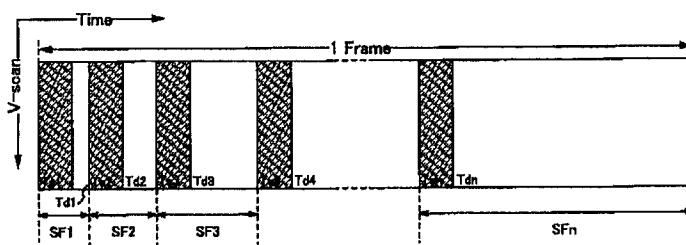
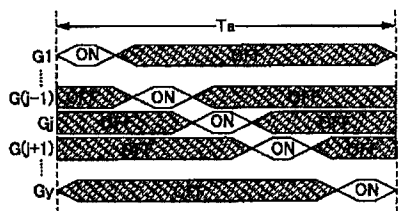
【図 2】



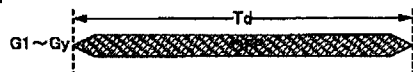
【図 3】

【図 6】

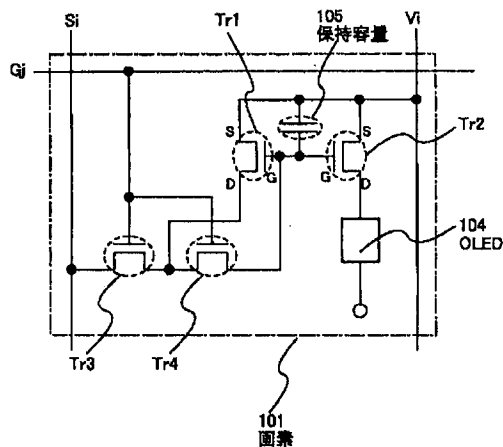
(A) 書き込み期間 T_a



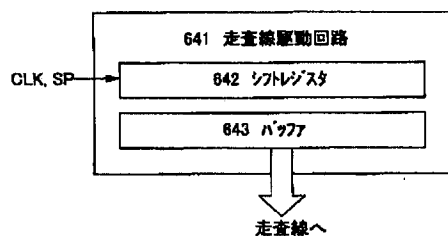
(B) 表示期間 T_d



【図 7】

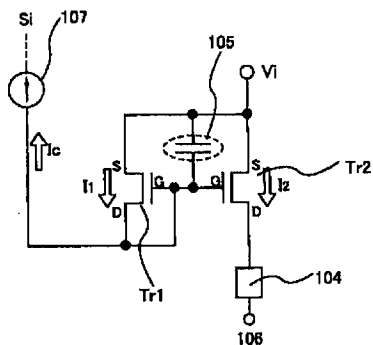


【図 20】

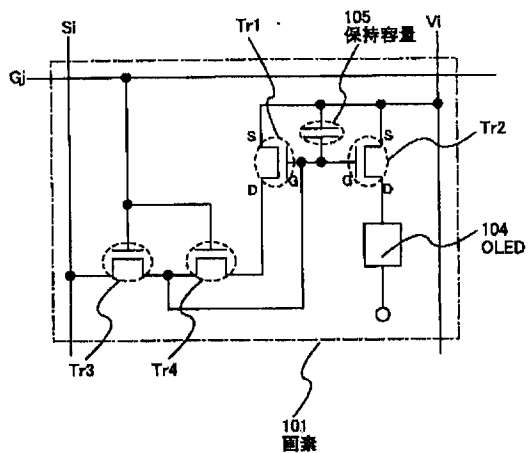


【図4】

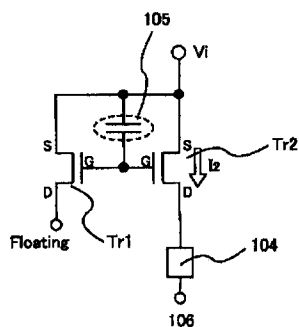
(A)書き込み期間 T_w



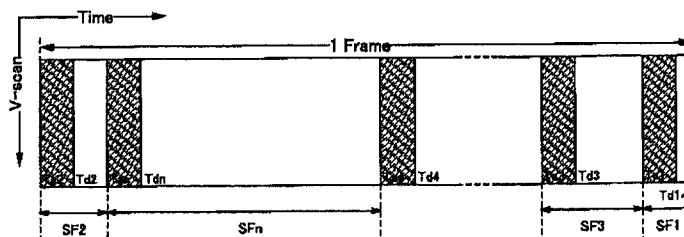
【図8】



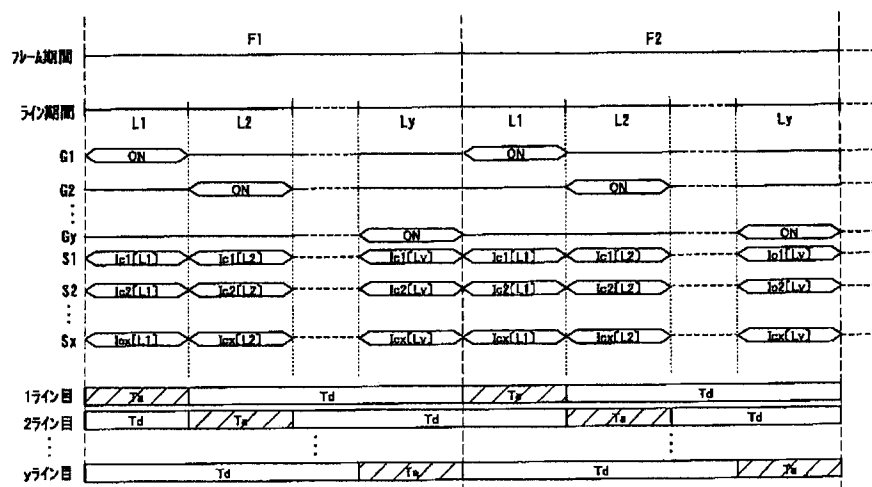
(B)表示期間 T_d



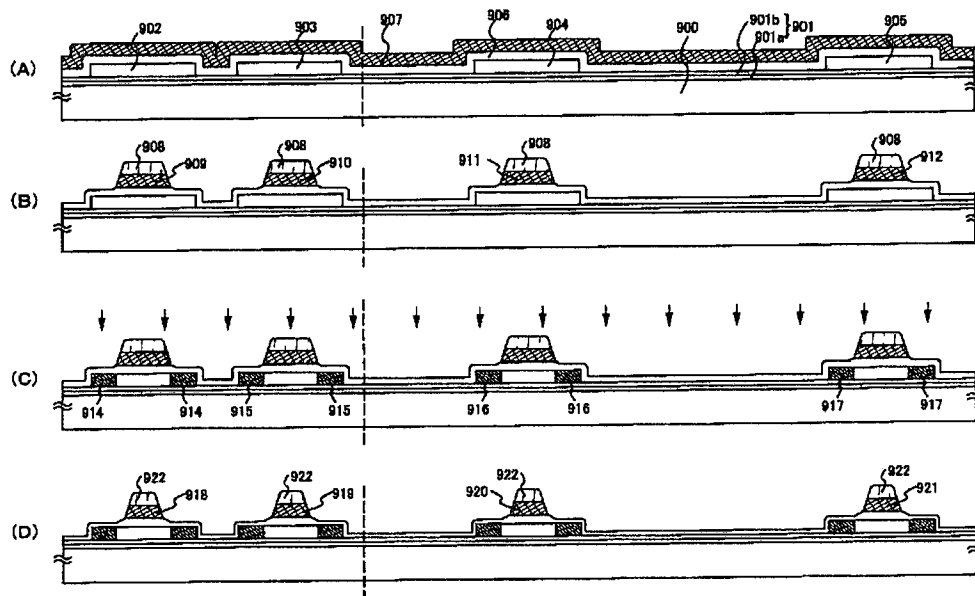
【図21】



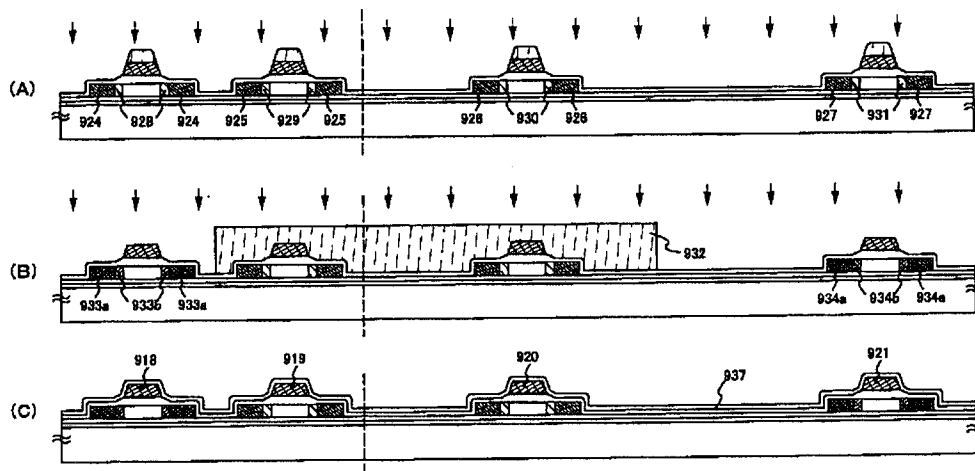
【図5】



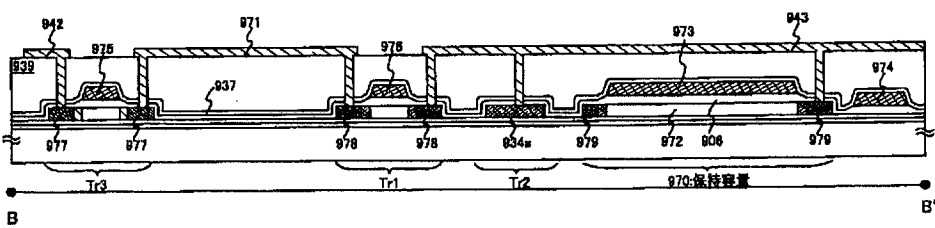
【図9】



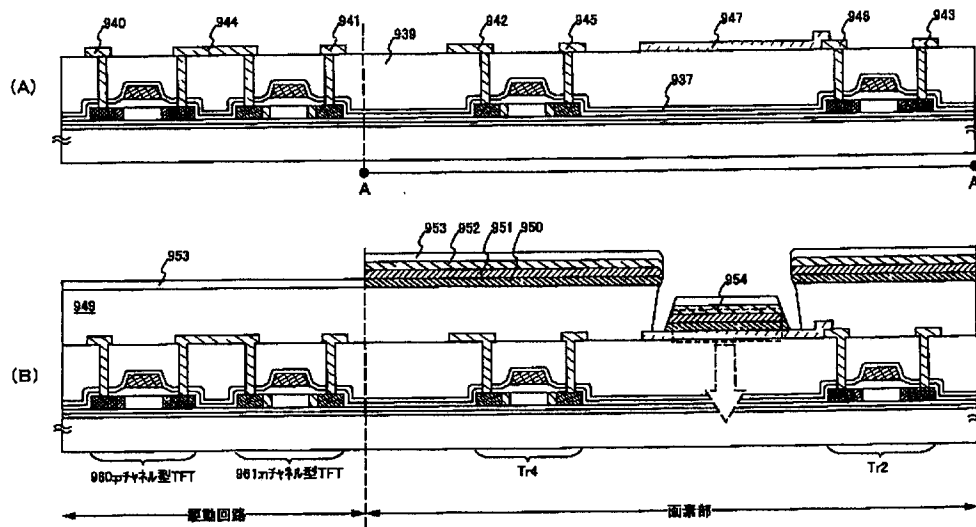
【図10】



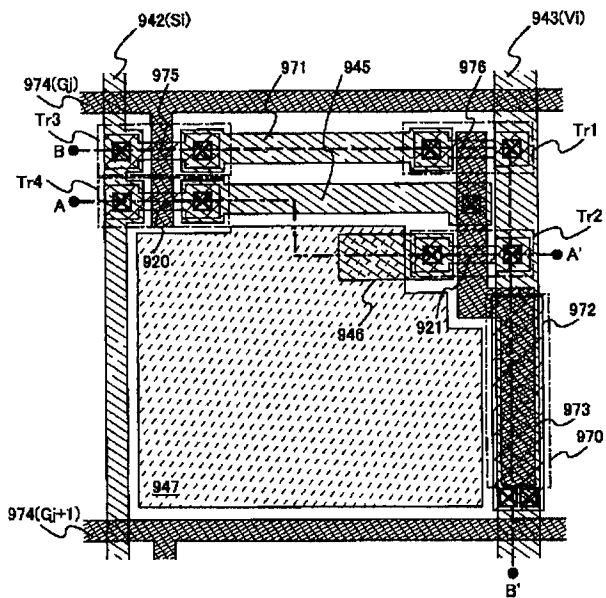
【図13】



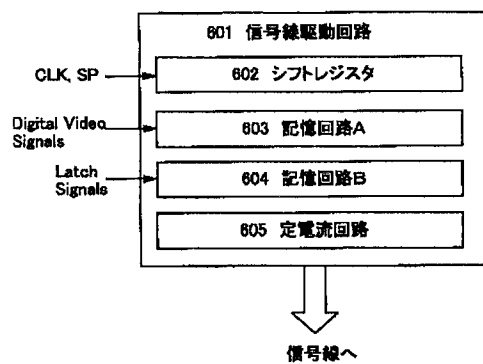
【図11】



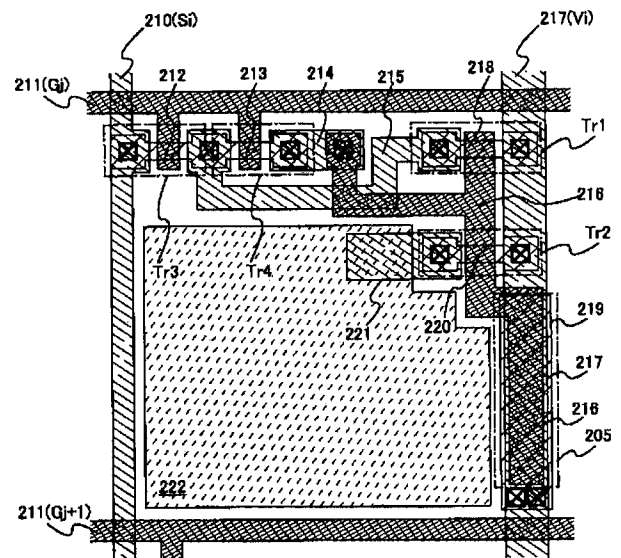
【図12】



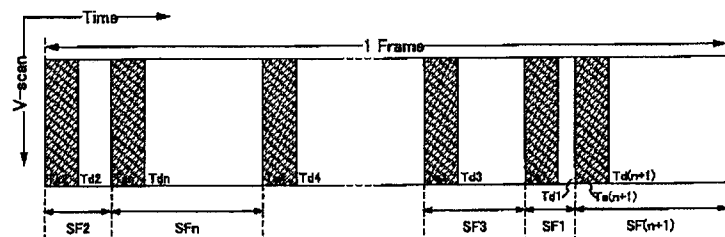
【図17】



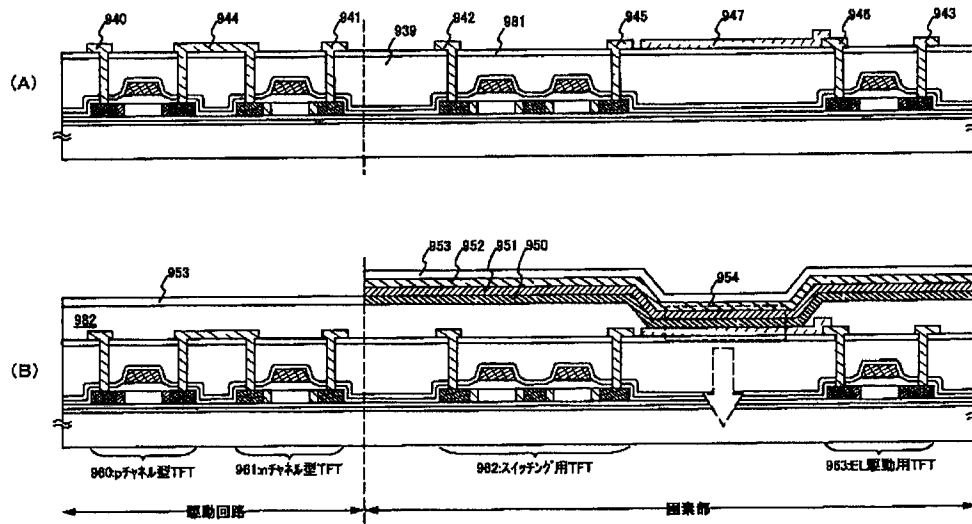
【図15】



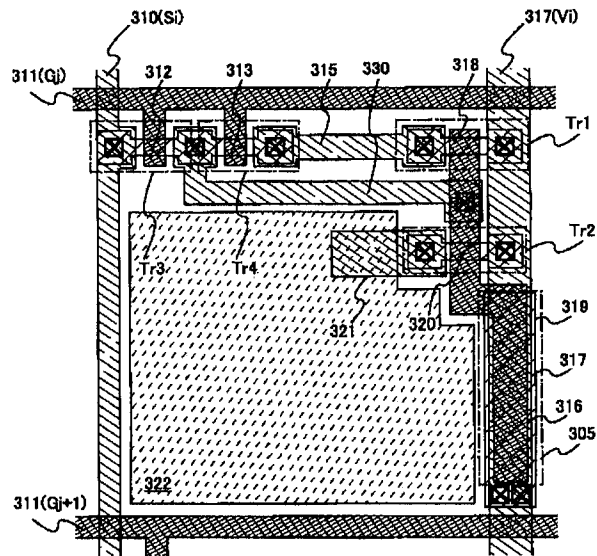
【図23】



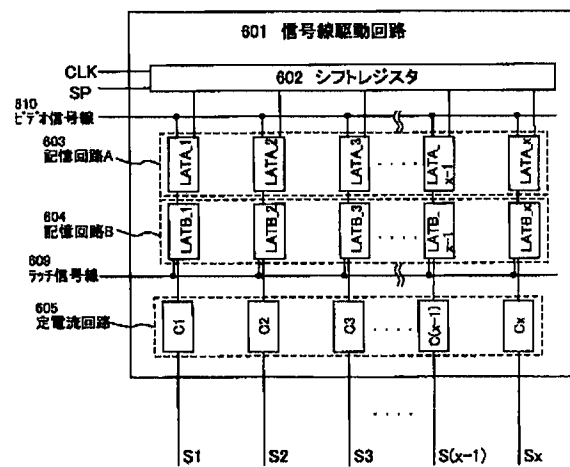
【図14】



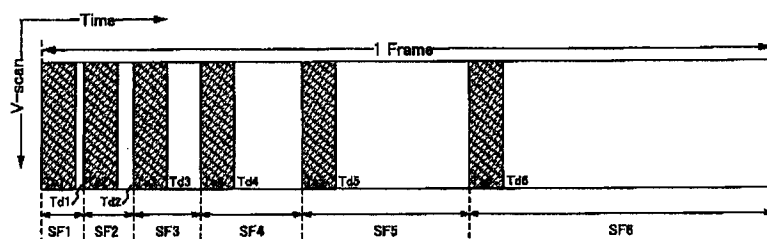
【図16】



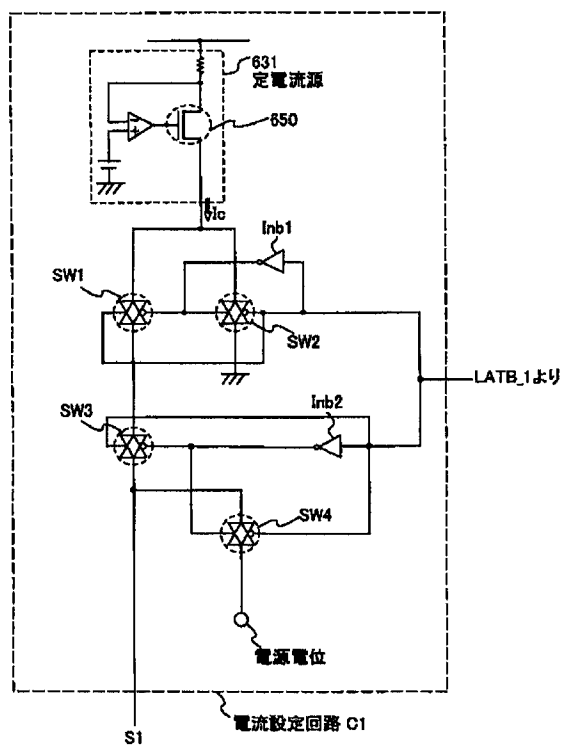
【図18】



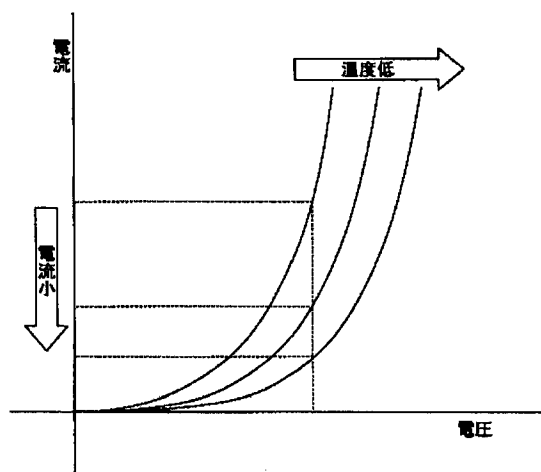
【図22】



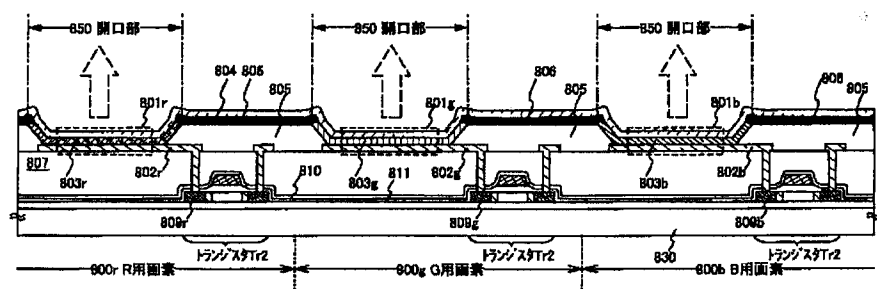
【図19】



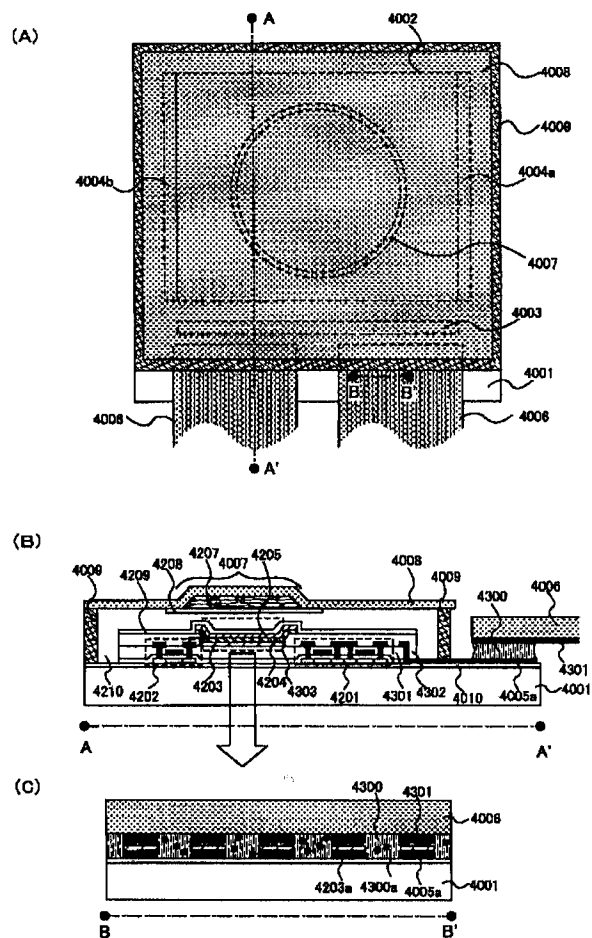
【図26】



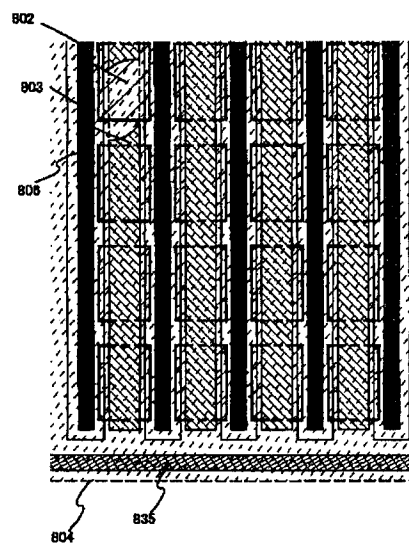
【図27】



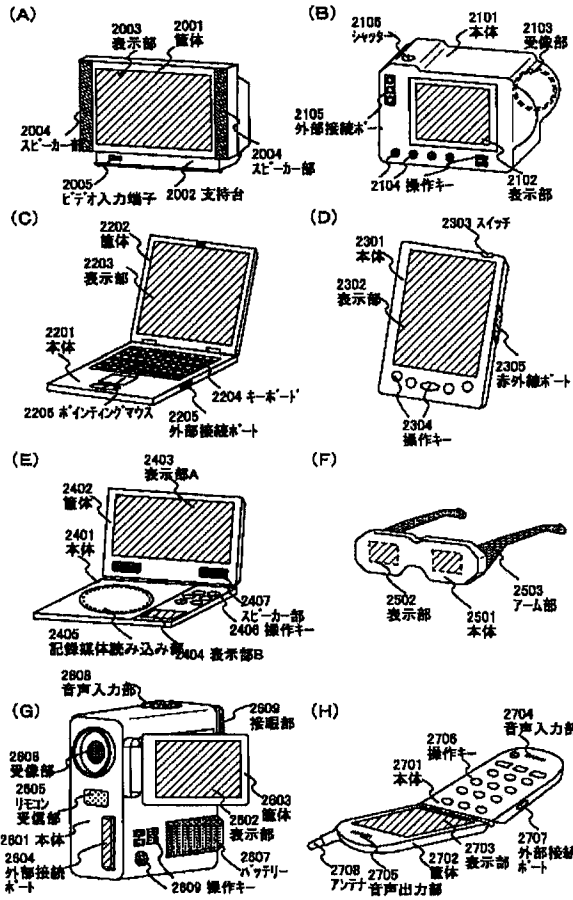
【図24】



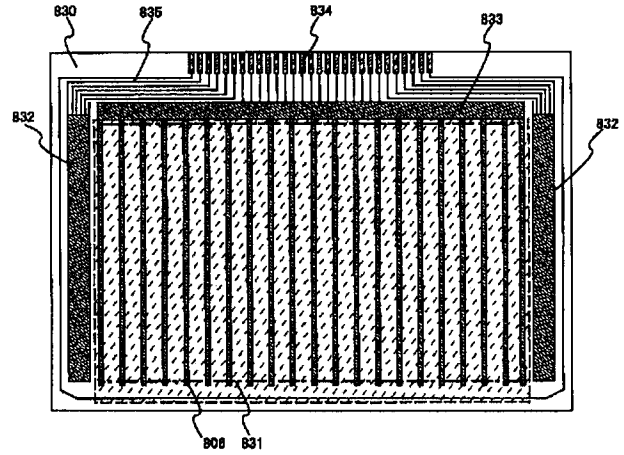
【図29】



【図25】

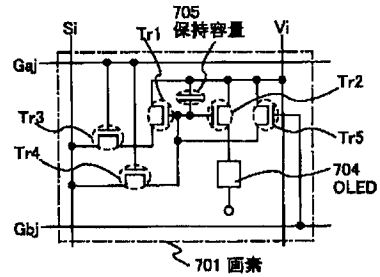


【図28】

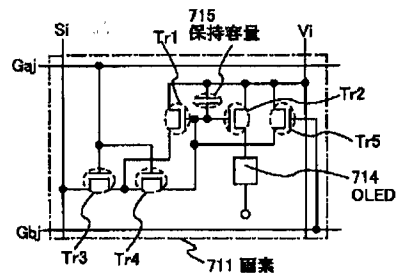


【図30】

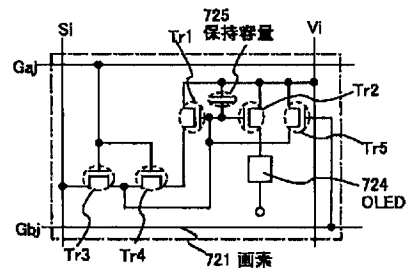
(A)



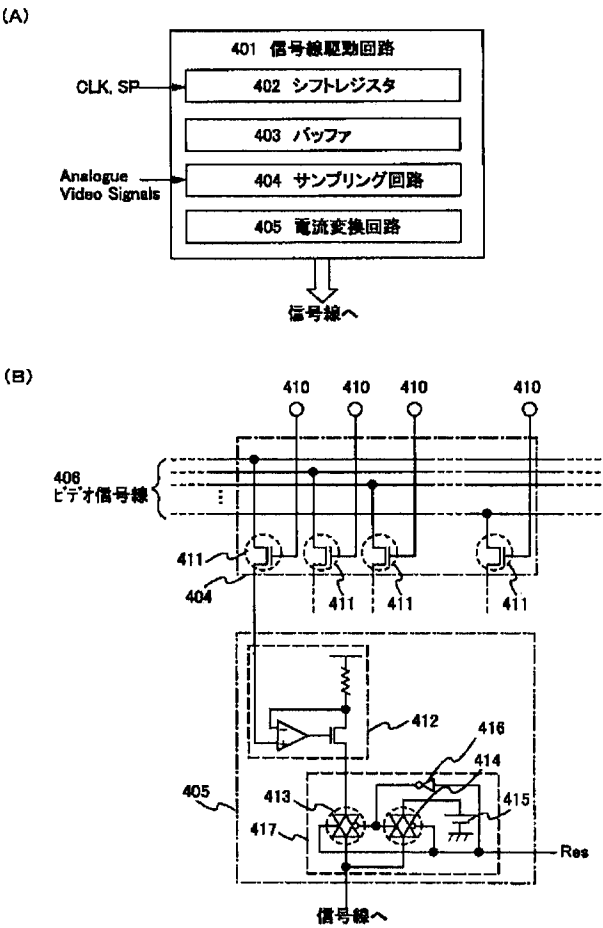
(B)



(C)



【図 3 1】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20	6 4 2 L
H 0 1 L 29/786		H 0 5 B 33/14	6 7 0 J
H 0 5 B 33/14		H 0 1 L 29/78	A
			6 1 4

F ターム(参考) 3K007 AB04 AB11 AB17 DB03 GA04
5C080 AA06 BB05 CC03 DD03 EE30
FF11 JJ02 JJ03 JJ04 JJ05
JJ06 KK02 KK07 KK43 KK47
5F110 AA14 BB01 BB02 BB04 CC02
DD01 DD02 DD03 DD13 DD14
DD15 EE01 EE04 EE14 EE23
EE44 EE45 FF02 FF04 FF28
FF30 FF36 GG01 GG02 GG13
GG25 GG32 GG43 GG45 GG47
HJ04 HJ12 HJ23 HL04 HL06
HL11 HM15 NN03 NN22 NN23
NN24 NN27 NN35 NN72 PP03
PP34 QQ11 QQ24 QQ25